

PCT/JP 2004/016174

日 本 国 特 許 庁
JAPAN PATENT OFFICE

25.10.2004

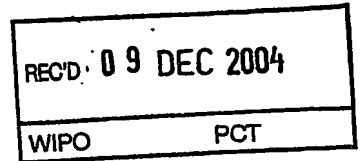
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 0 月 3 1 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 7 3 5 1 4
[ST. 10/C]: [J P 2 0 0 3 - 3 7 3 5 1 4]

出 願 人
Applicant(s): 株式会社半導体エネルギー研究所

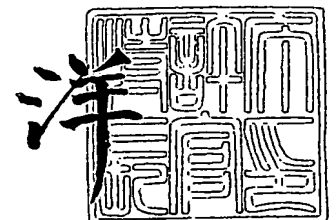


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 1 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 0 7 3 4 4

【書類名】 特許願
【整理番号】 P007477
【提出日】 平成15年10月31日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
 【氏名】 加藤 清
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第 1 レジスタ群、及び前記第 1 レジスタ群を制御する制御回路を含む第 1 論理回路と、
外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第 2 レジスタ群、及び前記第 1 論理回路からの出力信号に基づき前記第 2 レジスタ群を制御する制御回路を含む第 2 論理回路と、
によって構成される論理ブロックを複数個有する半導体集積回路の設計手法であって、
前記論理ブロック間の信号線と前記第 1 論理回路とからなる論理回路のレイアウト及びタイミング検証を行う第 1 設計手順と、
各論理ブロック毎に、前記第 2 論理回路のレイアウト及びタイミング検証を行う第 2 設計手順と、
を少なくとも有することを特徴とする半導体集積回路の設計手法。

【請求項 2】

請求項 1 において、前記論理ブロックは、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第 3 レジスタ群、及び前記第 3 レジスタ群を制御する制御回路を含む第 3 論理回路と、
外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第 4 レジスタ群、及び前記第 3 論理回路からの出力信号に基づき前記第 4 レジスタ群を制御する制御回路を含む第 4 論理回路と、
によって構成される論理サブブロックを複数個有し、
前記第 2 設計手順は、前記論理サブブロック間の信号線と前記第 3 論理回路とからなる論理回路のレイアウト及びタイミング検証を行う第 3 設計手順と、
各論理サブブロック毎に、前記第 4 論理回路のレイアウト及びタイミング検証を行う第 4 設計手順とからなることを特徴とする半導体集積回路の設計手法。

【請求項 3】

外部からの全ての入力信号を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第 1 レジスタ群を動作させる第 1 論理回路と、
前記第 1 論理回路の出力信号の一部もしくは全体を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第 2 レジスタ群を動作させる第 2 論理回路と、
によって構成される論理ブロックを複数個有する半導体集積回路の設計手法であって、
前記論理ブロック間の信号線と前記第 1 論理回路とからなる論理回路のレイアウト及びタイミング検証を行う第 1 設計手順と、
各論理ブロック毎に、前記第 2 論理回路のレイアウト及びタイミング検証を行う第 2 設計手順と、
を少なくとも有することを特徴とする半導体集積回路の設計手法。

【請求項 4】

請求項 3 において、前記論理ブロックは、外部からの全ての入力信号を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第 3 レジスタ群を動作させる第 3 論理回路と、
前記第 3 論理回路の出力信号の一部もしくは全体を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第 4 レジスタ群を動作させる第 4 論理回路と、
によって構成される論理サブブロックを複数個によって構成され、
前記第 2 設計手順は、前記論理サブブロック間の信号線と前記第 3 論理回路とからなる論理回路のレイアウト及びタイミング検証を行う第 3 設計手順と、
各論理サブブロック毎に、前記第 4 論理回路のレイアウト及びタイミング検証を行う第 4 設計手順とからなることを特徴とする半導体集積回路の設計手法。

【請求項 5】

外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第1レジスタ群、及び前記第1レジスタ群を制御する制御回路を含む第1論理回路と、
外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第2レジスタ群、及び前記第1論理回路からの出力信号に基づき前記第2レジスタ群を制御する制御回路を含む第2論理回路と、によって構成される論理ブロックを複数個有し、
前記第1論理回路と前記第2論理回路は分けて配置されていることを特徴とする半導体集積回路。

【請求項6】

請求項5において、前記論理ブロックは、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第3レジスタ群、及び前記第3レジスタ群を制御する制御回路を含む第3論理回路と、
外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第4レジスタ群、及び前記第3論理回路からの出力信号に基づき前記第4レジスタ群を制御する制御回路を含む第4論理回路と、
によって構成される論理サブブロック複数個によって構成され、
前記第3論理回路と前記第4論理回路は分けて配置されていることを特徴とする半導体集積回路。

【請求項7】

外部からの全ての入力信号を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第1レジスタ群を動作させる第1論理回路と、
前記第1論理回路の出力信号の一部もしくは全体を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第2レジスタ群を動作させる第2論理回路と、
によって構成される論理ブロックを複数個有し、
前記第1論理回路と前記第2論理回路は分けて配置されていることを特徴とする半導体集積回路。

【請求項8】

請求項7において、前記論理ブロックは、外部からの全ての入力信号を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第3レジスタ群を動作させる第3論理回路と、
前記第3論理回路の出力信号の一部もしくは全体を入力とし、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第4レジスタ群を動作させる第4論理回路と、
によって構成される論理サブブロックを複数個によって構成され、
前記第3論理回路と前記第4論理回路は分けて配置されていることを特徴とする半導体集積回路。

【請求項9】

請求項5または請求項7において、前記第1レジスタ群は、前記第1論理回路に入力されるデータ信号が論理ゲートを介さずに直接入力されるレジスタのみによって構成されることを特徴とする半導体集積回路。

【請求項10】

請求項5または請求項7において、前記論理ブロックは、生成する制御信号のタイミングを調整する回路を有し、かつ、該制御信号を前記論理ブロック外部へ出力しないことを特徴とする半導体集積回路。

【書類名】明細書

【発明の名称】半導体集積回路、及び半導体集積回路の設計手法

【技術分野】

【0001】

本発明は、系統的な検証が可能な半導体集積回路とその設計手法に関する。

【背景技術】

【0002】

従来のLSI設計手法として、図2のようなフローチャートが代表的である。つまり、最初にRTLモデリングと論理検証を行い、次に論理合成、レイアウト、及びタイミング検証を行ってマスクデータを完成させる。その後、試作、評価を行ってサンプル出荷を行う。検証時、評価時に見つかった問題点はそれぞれ必要な段階に戻って修正を行う。現在では、優れた論理シミュレータと論理合成ツールによって、論理的な誤りはほぼ確実に取り除くことが可能である。しかしながら、レイアウト後の寄生抵抗と容量に起因するタイミングのずれによる動作不良は、論理構成のみに起因する誤りと比較して遥かに難しい。通常は、レイアウト後に寄生抵抗と容量を考慮したタイミング検証が行なわれるが、複数回に渡るレイアウト修正が必要となり設計期間が長くなるだけでなく、合わせ込み精度の問題から、設計段階では取り除けない誤りも存在する。

【発明の開示】

【発明が解決しようとする課題】

【0003】

タイミング検証時の動作不良は、例えば、配線の長い引き回しに起因する場合などが代表的であり、広範囲に渡るレイアウト変更が必要となる場合が多い。さらに、該当する配線容量や抵抗を低減するようにレイアウトを変更したとしても、あらたにタイミングのずれによる動作不良を生じさせる別の配線が形成される場合もある。このように、レイアウト後の寄生抵抗と容量に起因するタイミングのずれによる動作不良は、系統的な修正が難しく、設計期間を長期化する要因であった。

【0004】

また、上記タイミングのずれによる動作不良は、近年開発が目覚ましいガラス基板上のLSI設計においても、深刻な問題である。一般にガラス基板上のトランジスタは、単結晶シリコン基板上のトランジスタと比較して素子特性のバラツキが大きく、精度の高いシミュレーションが難しいことがその主原因である。従って、試作後の実チップを用いたタイミング検証が重要になるが、開発期間、コストへの影響から、系統的な修正を行う必要性がさらに高くなる。

【0005】

本発明は、このような問題点を鑑観てなされたものである。本発明は、タイミング起因の動作不良を系統的に修正可能な半導体集積回路、及び設計手法を提供し、設計期間の短縮を実現することを課題とする。

【課題を解決するための手段】

【0006】

論理回路におけるタイミングのずれによる動作不良の修正には、広範囲に渡るレイアウト変更が必要な場合と、局所的なレイアウト変更で済む場合がある。例えば、長い配線による寄生容量や抵抗に起因する動作不良には、バッファを追加して駆動能力を強化することで局所的に修正可能な場合と、配線の長さを縮小する必要から修正が広範囲に及ぶ場合とが考えられる。

【0007】

発明者は、タイミングのずれによる動作不良を系統的に扱うためには、まず修正がチップ広範囲に渡るものか、局所的なものかを区別することが重要であり、かつ、チップ広範囲に渡る修正が必要となる動作不良を低減することが重要であると考えた。

【0008】

なお、本発明において半導体集積回路は、通常のLSIチップ同様、複数の論理ブロック

によって構成されているものとする。論理ブロックは、多数の論理ゲートからなり、機能毎にまとめられた論理回路である。レイアウトは通常、論理ブロック毎に行われる。

【0009】

また、本発明において、複数の論理ブロックに供給される制御信号を生成するブロックを、他の論理ブロックとは区別して、制御信号生成回路と呼ぶ。

【0010】

なお、制御信号とは、レジスタへのラッチ動作を制御する信号であり、代表的には各種クロック信号やリセット信号、あるいはこれらをもとに生成された信号を指す。一方、データ信号とはレジスタに値が格納される各種信号である。

【0011】

上記を踏まえ、本発明の設計手法は、図3に示すような2段階に分けることを特徴とする。通常のRTLモデリング及び論理検証の後、第1設計手順では、論理回路の細部を捨てて、例えば各論理ブロックへの入力信号のみを考慮して、チップの大枠に関わるレイアウト及びタイミング検証を行う。また、第2設計手順では、第1設計手順で得たチップの大枠に関わるレイアウト及び論理ブロックへの入力信号タイミングを維持しつつ、各論理ブロック毎にレイアウト及びタイミング設計を行う。そしてマスクデータ出し後、試作、評価、及びサンプル出荷を行う。各検証、評価時に見つかった動作不良は、それぞれ必要な段階に戻って修正を行う。このように、チップの大枠に関わる設計と、個々の論理ブロックに関わる設計の2段階構成とすることで、動作不良があった場合に、修正がチップの大枠に関わるのか、個々の論理ブロックのみに関わるのかを判定し、系統的な修正を行うことができる設計手法を構築することができる。

【0012】

そして、本発明は、第1設計手順で扱う論理回路と、第2設計手順で扱う論理回路とを以下のように区分することを特徴とする。

【0013】

第1設計手順では、論理ブロック間信号、及び各論理ブロックの一部分の設計を行う。ここで、各論理ブロックの一部分とは、各論理ブロックへの入力データ信号が伝搬して最初にラッチされるレジスタまでを含む論理回路と、そのレジスタの制御を行う制御回路である。制御回路は、各論理ブロック内部で使用される他の制御信号のもととなる制御信号も生成する。本発明では、この部分を第1論理回路、論理ブロック内の他の部分を第2論理回路と呼ぶ。また、各論理ブロックへの入力データ信号が伝搬して最初にラッチされるレジスタ群を第1レジスタ群と呼び、第2論理回路に属するレジスタ群を第2レジスタ群と呼ぶ。

【0014】

図1にこの様子を示す。図1において、論理ブロック101は、第1論理回路102と第2論理回路103によって構成され、入力データ107と入力制御信号108を入力し、出力データ109と出力制御信号110を出力する。また、第1論理回路はラッチを含まない組合せ論理回路105と第1レジスタ群104と制御回路106からなる。また、第2論理回路は第2レジスタ群やこれを制御する制御回路を含む（図示せず）。

【0015】

つまり、第1設計手順では、論理ブロック間の信号線と各第1論理回路からなる論理回路全体のレイアウト及びタイミング検証を行う。次に、第2設計手順では、各論理ブロック毎に独立に、第1設計手順で得られたレイアウトとタイミングに従って、第2論理回路のレイアウトとタイミング検証を行う。

【0016】

その結果、第1レジスタ群に誤った値が格納される動作不良は、第1設計手順に戻って修正を行えばよい。この場合は複数の論理ブロックのレイアウトに関わる場合がある。一方、第2レジスタ群のみに誤った値が格納される動作不良は、該当する論理ブロックの第2論理回路に関して

第2設計手順を行えば良い。この場合、第1設計手順の結果に変更を与えず、該当する第

2 論理回路以外の部分にあらたな動作不良を生じさせることがないため、局所的な修正が可能である。このように、まずは第 1 レジスタ群に関わる動作不良を修正し、続いて第 2 レジスタ群に関わる動作不良を修正することで、系統的な修正を行うことができる。

【0017】

また、本発明の設計手法によって作製される半導体集積回路は、各論理ブロックにおいて、第 1 論理回路と第 2 論理回路とに分かれて配置される。つまり、修正の及ぶ範囲ごとに分けて配置されたレイアウトが実現され、その結果、効率良いレイアウトの修正が可能となる。

【0018】

以上のようにして、設計期間の短縮を実現することができる。

【0019】

本発明の設計手法において、効率をさらに改善する方法を述べる。

【0020】

第 1 設計手順に起因する動作不良は、修正が複数の論理ブロックに及ぶ可能性が高いため、このような動作不良を低減することが重要である。これを低減するには、タイミング検証の精度をあげることが好ましく、タイミング検証時の回路規模をなるべく小さくすることが好ましい。例えば、ブロックへの入力データ信号を、論理ゲートを介さず直ちにレジスタに格納する構成などが考えられる。

【0021】

また、第 1 設計手順に起因する動作不良であっても、局所的に修正できる構成とすることも重要である。例えば、論理ブロック内の制御信号を他の論理ブロックと独立にし、かつ、各論理ブロック内部で制御信号のタイミングを調整可能とする構成などが考えられる。

【発明の効果】

【0022】

本発明の 2 段階の設計手法を用いることで、タイミング起因の動作不良がどの設計手順に起因するかを判定し、系統的な修正を行うことが可能となる。また、本発明の設計手法によって作製される半導体集積回路は、修正の及ぶ範囲で分類して、それぞれを分けて配置されたレイアウトとなるため、効率良いレイアウトの修正が可能となる。そしてその結果、設計期間の短縮を実現することが可能となる。

【発明を実施するための最良の形態】

【0023】

本発明の設計手法について説明する。図 4 に示すのは代表的な半導体集積回路のブロックであり、

半導体集積回路 401 は、論理ブロック 402～405、制御信号生成回路 406、データ線 407、制御線 408 によって構成され、入力制御信号 410 と入出力データ 409 を入出力信号とする。各論理ブロック 402～405 はそれぞれ、第 1 論理回路 402a～405a と第 2 論理回路 402b～405b とに分けられる。勿論、論理ブロックの数やデータ線の構成は一例であって、これに限られるわけではない。

【0024】

本発明の設計手法では、まず、第 1 設計手順として、制御信号生成回路 406、データ線 407、制御線 408、及び第 1 論理回路 402a～405a のレイアウト及びタイミング検証を行う。なお、制御信号生成回路 406 は、複数の論理ブロックに供給される制御信号を生成するブロックであるから、チップの大枠を決める第 1 設計手順において考慮することが好ましい。

【0025】

例えば、各第 1 論理回路及び第 2 論理回路に含まれる素子数から、必要となるレイアウト面積を見積もることができる。これをもとに、制御信号生成回路 406、データ線 407、制御線 408、及び第 1 論理回路 402a～405a のレイアウトを作製する。次に、作製したレイアウトから抽出した容量と抵抗を用いて、タイミング検証を行う。ここでは、各論理ブロックへの入力直後のレジスタまでを考慮することで、複数の論理ブロックに

関わる信号線であるデータ線 407 と制御線 408 が正常なタイミングで動作することを検証することが目的である。

【0026】

その結果、正常動作が検証されれば、第 1 設計手順は終了する。動作不良が有る場合には、再度レイアウト及びタイミング検証を行う。

【0027】

次に、第 2 設計手順では、第 2 論理回路 402b ~ 405b のレイアウト及びタイミング検証を行う。本設計は、各第 2 論理回路毎に独立に行うことができる。レイアウトは、第 1 設計手順で作製したレイアウトに接続して作製する。タイミング検証は、第 1 設計手順で検証したタイミングを維持して行う。その結果、正常動作が検証されれば、第 2 設計手順は終了する。動作不良が有る場合には、該当する第 2 論理回路に対して再度レイアウトと検証を行う。

【0028】

そして本設計手法の結果、第 1 論理回路と第 2 論理回路が分かれて配置された半導体集積回路のレイアウトが実現される。

【0029】

このように設計されたレイアウトは、タイミングのずれによる動作不良が見つかった場合に、系統的な修正が可能となり、設計期間の短縮を実現することができる。

【0030】

具体的には、例えば、図 4 に示した半導体集積回路をもとに製作した実チップの評価において、論理ブロック 402 内のレジスタに誤った値が格納される不良が見つかったとする。その場合、不良が見つかったレジスタが、第 1 論理回路 402a 内部のレジスタ、つまり第 1 レジスタ群に属するのか、あるいは、第 2 論理回路 402b 内部のレジスタ、つまり第 2 レジスタ群に属するのか、を調べる。

【0031】

そして、第 1 レジスタ群に属する場合は、第 1 設計手順に戻って修正を行う。その場合は複数の論理ブロックのレイアウトに関わる場合がある。一方、第 2 レジスタ群のみに属する場合は、第 2 設計手順に戻って修正を行う。この時には、該当する第 2 論理回路 402b に限定して、レイアウト及びタイミング検証を行えばよい。特に、本発明は、第 2 論理回路 402b が第 1 論理回路 402a とレイアウト上分かれていることが特徴であり、これにより、第 2 論理回路のみのレイアウト修正を行うことが可能となる。

【0032】

このように、まずは第 1 レジスタ群に関わる動作不良を修正し、続いて第 2 レジスタ群に関わる動作不良を修正することで、系統的な修正を行うことができる。その結果、設計期間の短縮を実現することが可能となる。

【実施例 1】

【0033】

集積回路の規模が大きい場合には、各論理ブロックを構成する素子数が非常に多くなる。例えば、チップ全体で 100 万 ~ 1000 万ゲート以上といった場合には、各論理ブロックは数十万 ~ 100 万ゲート規模となる。そのような場合は、第 2 論理回路のみの変更で済むケースであっても、大規模な修正となってしまう。

【0034】

集積回路の規模が大きい場合には、通常、各論理ブロックはさらに複数の論理サブブロックによって構成される。論理サブブロックは、機能毎にまとめられた論理回路であり、レイアウトも論理サブブロック毎に行われるのが普通である。

【0035】

本発明はこのようなサブブロック構成の集積回路に対しても、系統的な設計手法を提供する。つまり、以下のようにして、第 2 設計手順を第 3 設計手順と第 4 設計手順とに分け、第 2 論理回路を第 3 論理回路と第 4 論理回路とに分けるとよい。

【0036】

第3設計手順では、論理サブブロック間信号、及び各論理サブブロックの一部分の設計を行う。ここで、各論理サブブロックの一部分とは、各論理サブブロックへの入力データ信号が伝搬して最初にラッチされるまでレジスタと、そのレジスタの制御を行う制御回路である。制御回路は、各論理サブブロック内部で使用される他の制御信号の基となる制御信号も生成する。本発明は、この部分を第3論理回路、残る部分を第4論理回路と呼ぶ。また、各論理サブブロックへの入力データ信号が伝搬して最初にラッチされるレジスタ群を第3レジスタ群と呼び、第4論理回路に属するレジスタ群を第4レジスタ群と呼ぶ。

【0037】

第3設計手順では、論理サブブロック間信号と全ての第3論理回路のレイアウトとタイミング検証を行う。次に、第4設計手順では、各論理サブブロック毎に独立に、第3設計手順で得られたレイアウトとタイミングに従って、第4論理回路のレイアウトとタイミング検証を行う。このような設計手法を用いることで、第2論理回路内部のタイミング起因の動作不良が、第3設計手順と第4設計手順のどちら設計手順に起因するかを判定することが可能となり、系統的な修正を行うことができる。

【0038】

図5に示すのはサブブロック構成を有する論理ブロックの典型的な例である。論理ブロック501は、制御線509、データ線507、508を入出力とし、第1レジスタ群504、505及び制御回路506からなる第1論理回路502と、第2論理回路503とから構成される。第2論理回路503はさらに、データ線514、制御線515、論理サブブロック510～512及び制御回路513によって構成される。各論理ブロック510～512はそれぞれ、第3論理回路510a～512aと第4論理回路510b～512bとに分けられる。勿論、論理ブロックの数やデータ線の構成は一例であって、これに限られるわけではない。

【0039】

本発明の設計手法は、第1設計手順終了後に、第3設計手順として、制御回路513、データ線514、制御線515、及び第3論理回路510a～512aのレイアウト及びタイミング検証を行う。例えば、各第3論理回路及び第4論理回路に含まれる素子数を見積もることで、必要となるレイアウト面積を見積もることができる。これをもとに、制御回路515、データ線514、制御線515、及び第1論理回路510a～512aのレイアウトを作製する。次に、作製したレイアウトから抽出した容量と抵抗を用いて、タイミング検証を行う。ここでは、各論理サブブロックへの入力直後のレジスタまでを考慮することで、複数のサブブロックに関わる信号線であるデータ線514と制御線515が正常なタイミングで動作することを検証することが目的である。その結果、正常動作が検証されれば、第3設計手順は終了する。動作不良が有る場合には、再度レイアウト及びタイミング検証を行う。

【0040】

次に、第4設計手順では、各第4論理回路510b～512bのレイアウト及びタイミング検証を行う。本設計は、各第4論理回路毎に独立に行うことができる。レイアウトは、第3設計手順で作製したレイアウトに接続して作製する。タイミング検証は、第3設計手順で検証したタイミングを維持して行う。その結果、正常動作が検証されれば、第4設計手順は終了する。動作不良が有る場合には、該当する第4論理回路に対して再度レイアウトとタイミング検証を行う。

【0041】

このように設計された半導体集積回路において、タイミングのずれによる動作不良が見つかった場合には以下のような系統的な修正を行うことができる。

【0042】

第3レジスタ群に誤った値が格納される動作不良は、第3設計手順に戻って修正を行えばよい。この場合は複数の論理サブブロックのレイアウトに関わる場合がある。一方、第4レジスタ群のみに誤った値が格納される動作不良は、該当する論理ブロックの第4論理回路に限定して第4設計手順を行えば良い。この場合、第1及び第3設計手順の結果に変更を

与えず、該当する第3論理回路以外の部分にあらたな動作不良を生じさせることがないため、局所的な修正が可能である。このように、まずは第3レジスタ群に関わる動作不良を修正し、続いて第4レジスタ群に関わる動作不良を修正することで、系統的な修正を行うことができる。その結果、設計期間の短縮を実現することが可能となる。

【0043】

本発明の設計手法によって作製される論理ブロックのレイアウトは、第3論理回路と第4論理回路とに分かれて配置されるため、第3論理回路のみ、あるいは第4論理回路のみを自動配置配線ツール等によって再レイアウトするといった修正を容易に行うことができる。このように、修正の及ぶ範囲で分類して、それぞれを分けて配置したレイアウトは、効率良いレイアウト修正が可能であり好ましい。

【実施例2】

【0044】

第1段階の設計に起因する動作不良は、チップ全体に関わる修正である可能性が高いため、タイミング検証の精度をあげることが重要である。第1段階の設計に起因する動作不良を低減する回路構成として、論理ブロックへの入力データを論理ゲートを介さずに直接第1レジスタ群に格納する構成例をあげることができる。

【0045】

そのような構成の論理ブロックのブロック図を図6に示す。図において、論理ブロック601は、入力データ606、入力制御信号607、出力データ608、出力制御信号609からなる入出力信号と、第1レジスタ群604、制御回路605からなる第1論理回路602と、第2論理回路603によって構成される。

【0046】

図に示した論理ブロックの特徴は、入力データ606が直ちに第1レジスタ群に入力される点である。このような構成とすることで、第1論理回路を単純な構成とし、かつ回路規模を抑えることができるため、第1段階のタイミング検証の精度を向上することができる。その結果、第1段階の設計に起因する動作不良を低減することができる。

【0047】

なお、本実施例は、実施例1に対しても適用することができる。つまり、論理サブブロックに対しても、入力データを直ちに第3レジスタ群に入力することは有効である。

【実施例3】

【0048】

第1段階の設計に起因する動作不良が見つかった場合に、その修正がチップ全体に及ぶケースを低減する回路構成として、論理ブロック内の制御信号を他の論理ブロックと独立とし、かつ、各論理ブロック内でタイミング調整が可能である構成例をあげることができる。

【0049】

そのような構成の論理ブロックのブロック図を図7に示す。図7(A)において、論理ブロック701は、入力データ706、入力制御信号707、出力データ708からなる入出力信号と、第1レジスタ群704、制御回路705からなる第1論理回路702と、第2論理回路703によって構成される。また、図7(B)は、制御回路705の構成を示した例であり、入力制御信号707は、タイミング調整回路708、制御信号生成回路709、タイミング調整回路710を経て、出力される。例えば、タイミング調整回路708は、複数の論理ブロック間のタイミングを整えるための回路、タイミング調整回路710は、論理ブロック内部でのタイミングを整えるための回路、と考えることができる。これらのタイミング調整回路は、遅延回路などから構成される。

【0050】

図7に示した論理ブロックの特徴は、出力制御信号を有さないことと、制御回路705内でタイミングを調整する機能を有することである。論理ブロックから制御信号を出力しないことで、制御信号の遅延の原因が複数のブロックにわたることがない構成とすることができる。このような構成を実現するためには、他の論理ブロックで生成した制御信号を使

用する論理ブロックは、それを生成する論理回路を論理ブロック内に複製すればよい。また、各論理ブロック内でタイミングを調整可能とすることで、タイミング調整回路を修正するだけで第1レジスタ群の動作不良を修正できる場合が生じる。

【0051】

その結果、修正が複数のブロックに及ぶ確率が低減され、第1レジスタ群を含む第1論理回路の変更のみで不良を修正できる可能性が高くなる。

【0052】

なお、本実施例は、実施例1に対しても適用することができる。つまり、図5において、各論理サブブロック510～512は出力制御信号を有さないことと、制御回路513内でタイミングを調整する機能を有することは有効である。

【0053】

また、本実施例は、実施例2に対しても適用することが可能である。

【図面の簡単な説明】

【0054】

【図1】 本発明の半導体集積回路を構成する論理ブロックのブロック図。

【図2】 従来の設計フローチャート。

【図3】 本発明の設計フローチャート。

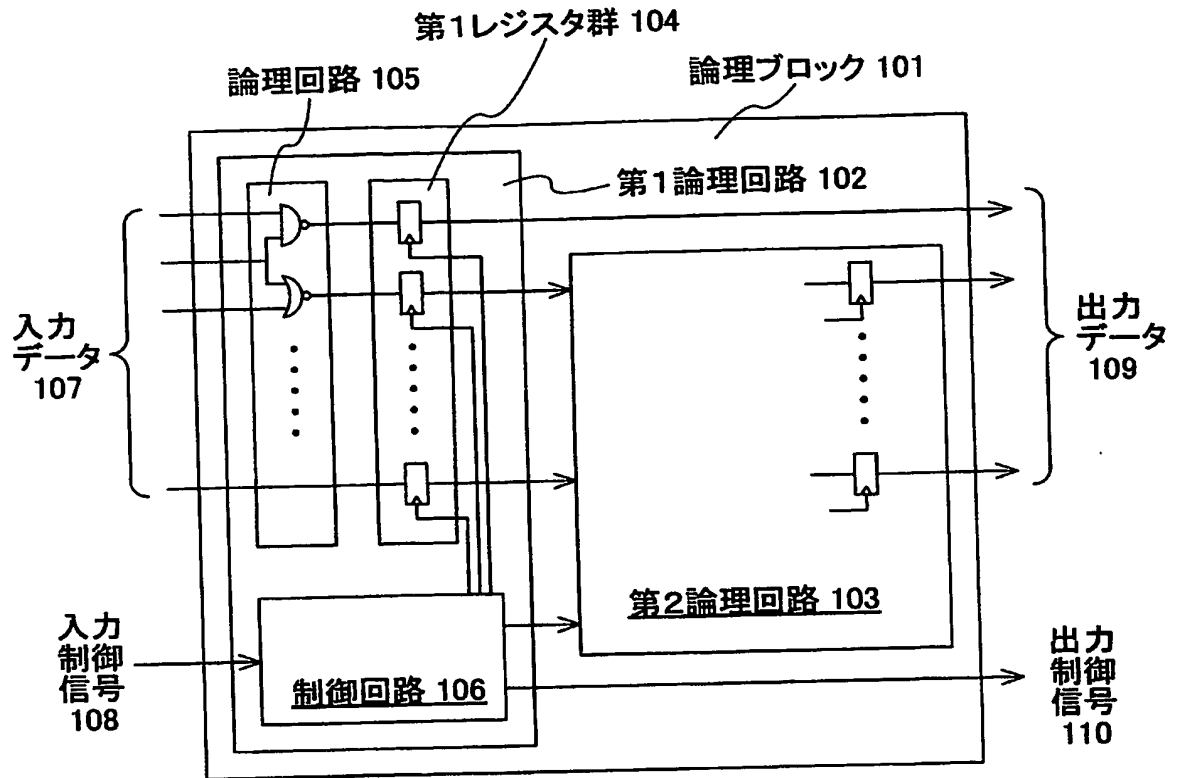
【図4】 本発明の半導体集積回路のブロック図。

【図5】 本発明の半導体集積回路を構成する論理ブロックのブロック図。

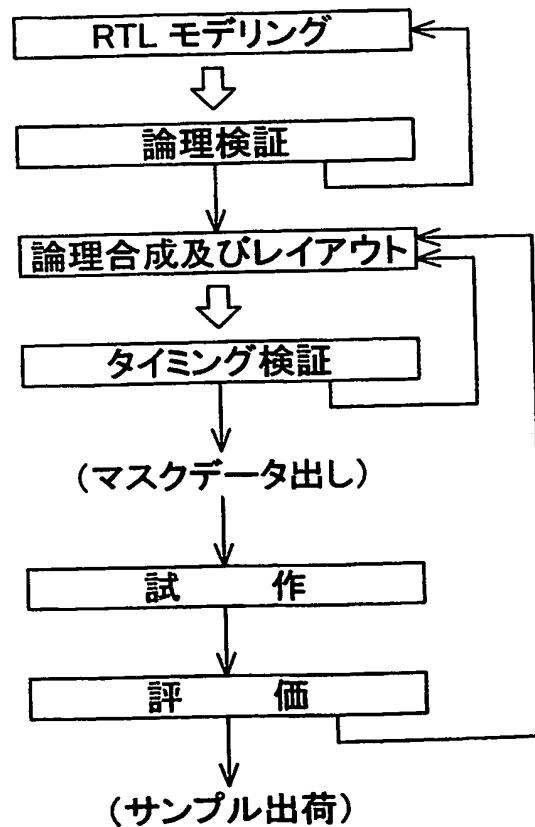
【図6】 本発明の半導体集積回路を構成する論理ブロックのブロック図。

【図7】 本発明の半導体集積回路を構成する論理ブロックのブロック図。

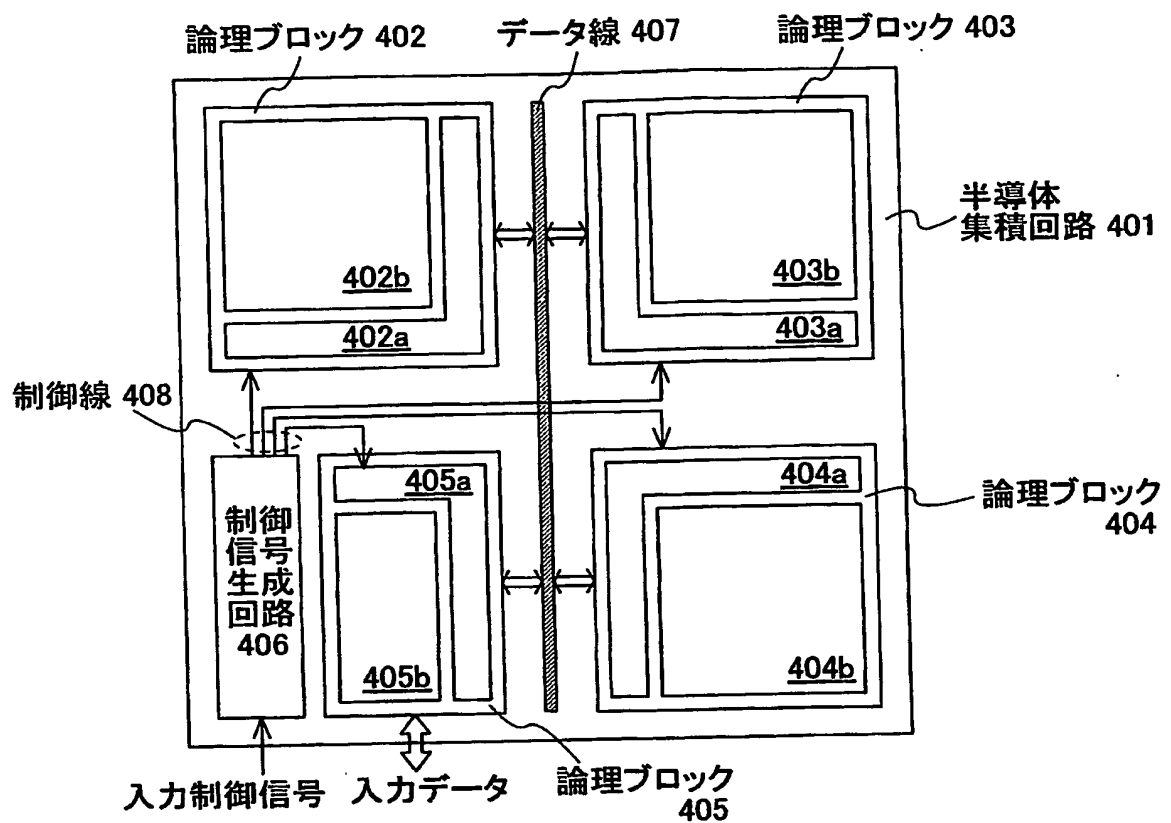
【書類名】 図面
【図 1】



【図 2】

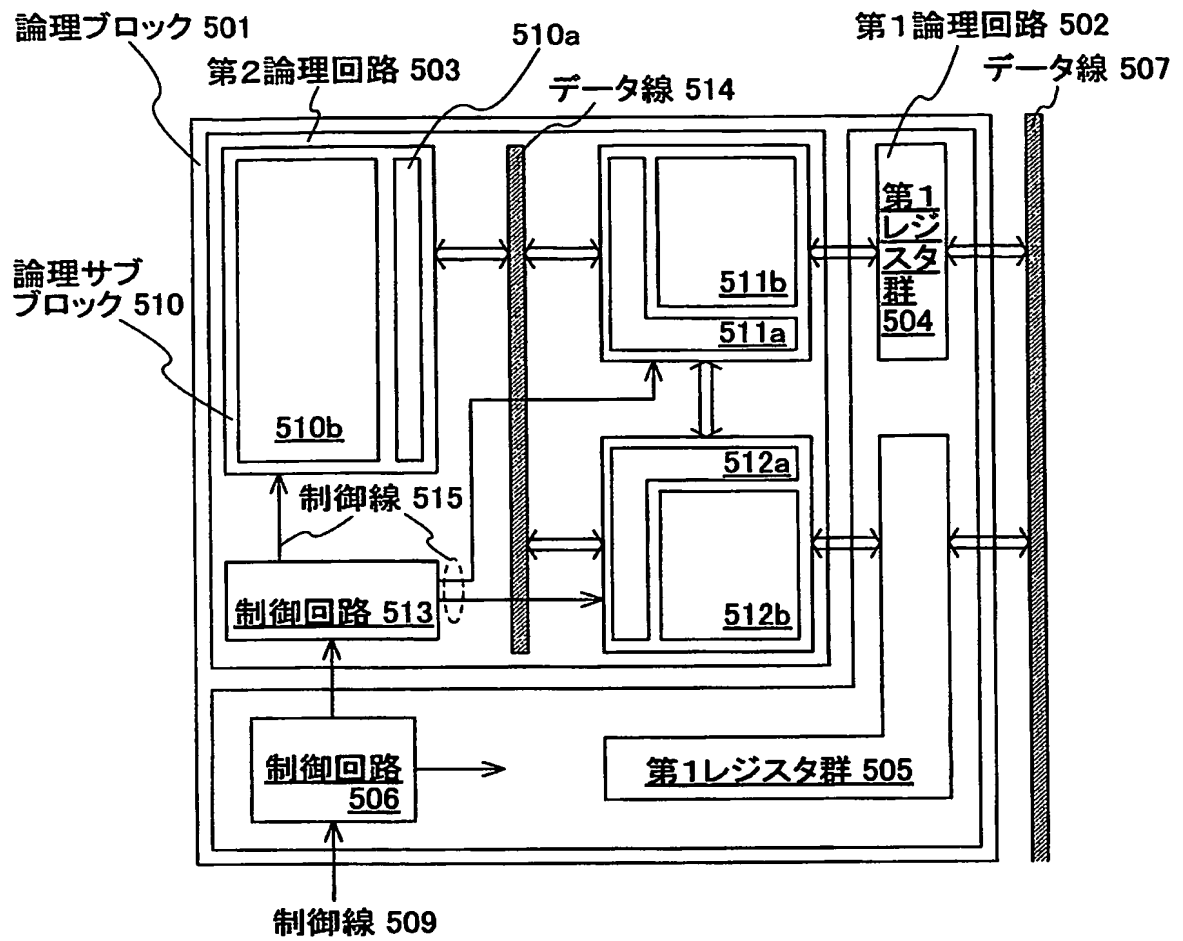


【図 4】



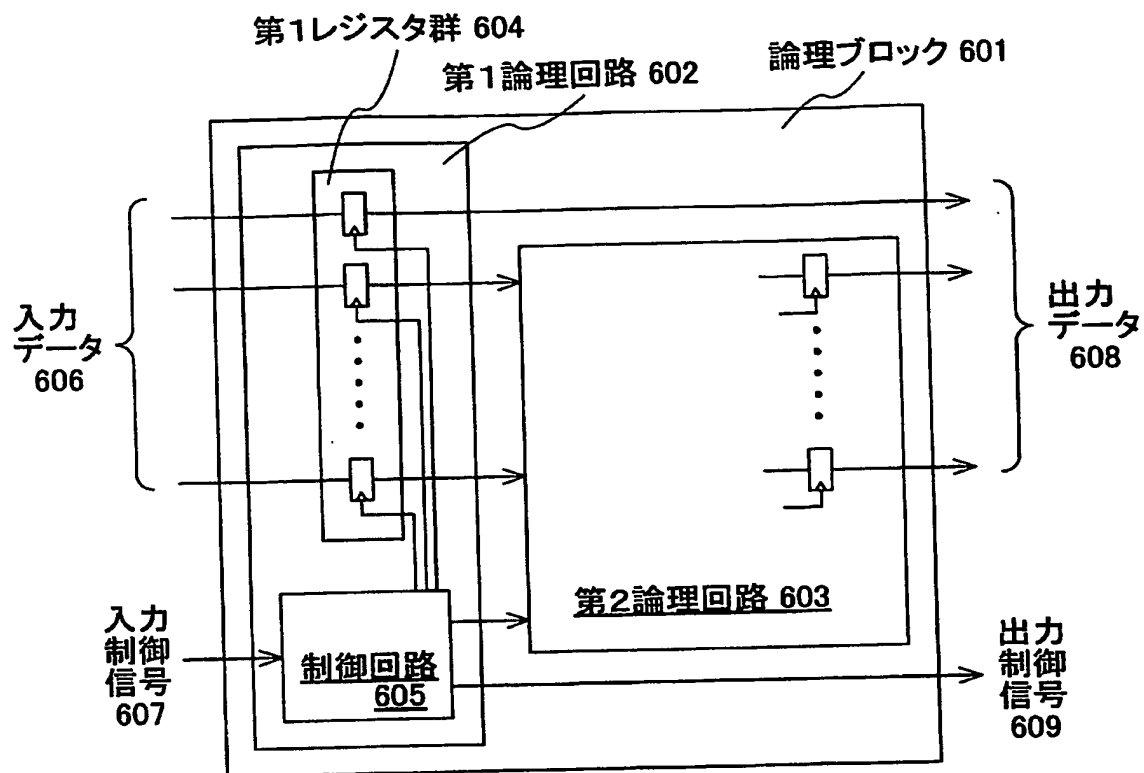
402a, 403a, 404a, 405a: 第1論理回路
402b, 403b, 404b, 405b: 第2論理回路

【図 5】

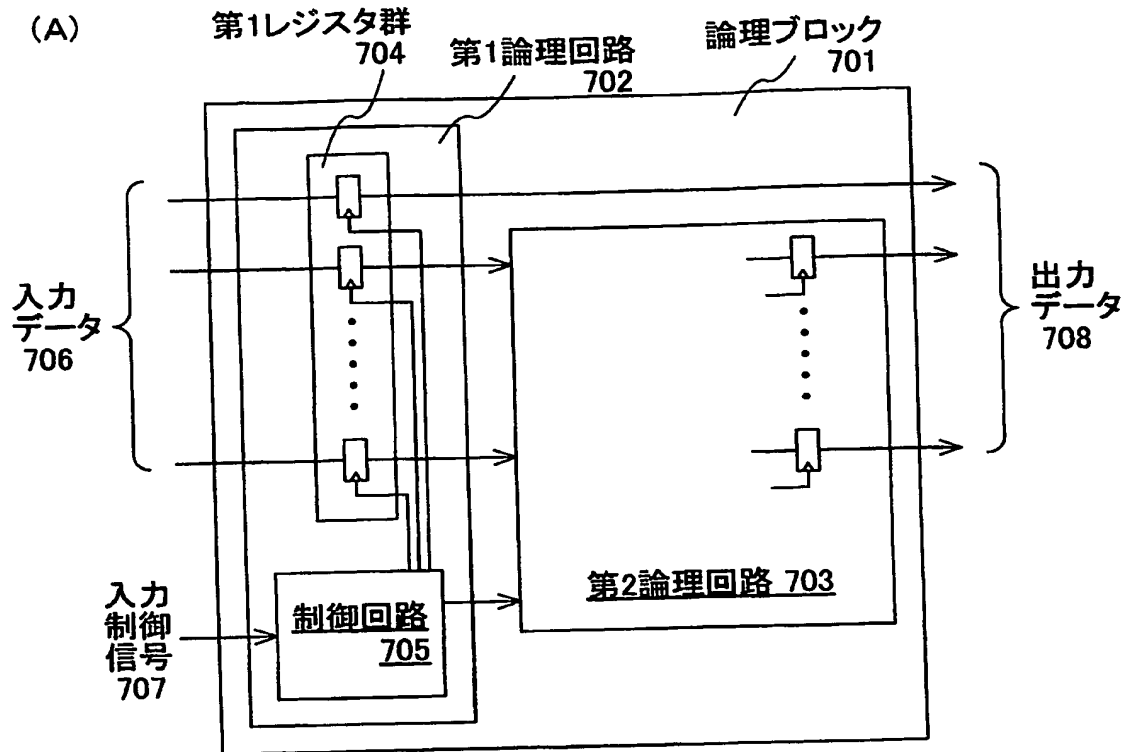


510a, 511a, 512a: 第3論理回路
510b, 511b, 512b: 第4論理回路

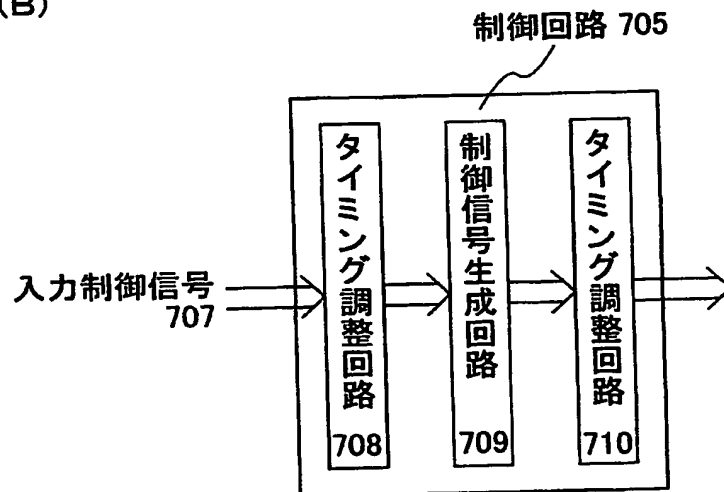
【図 6】



【図 7】



(B)



【書類名】要約書**【要約】**

【課題】 論理回路の設計期間を短縮可能な設計手法を提供する。

【解決手段】 外部データ入力後の最初のラッチ動作で外部から値を書き込むことができる第1レジスタ群、及び前記第1レジスタ群を制御する制御回路を含む第1論理回路と、外部データ入力後の最初のラッチ動作で外部から値を書き込むことができない第2レジスタ群、及び前記第1論理回路からの出力信号に基づき前記第2レジスタ群を制御する制御回路を含む第2論理回路と、によって構成される論理ブロックを複数個有する半導体集積回路の設計を、前記論理ブロック間の信号線と前記第1論理回路とからなる論理回路のレイアウト及びタイミング検証を行う第1設計手順と、各論理ブロック毎に、前記第2論理回路のレイアウト及びタイミング検証を行なう第2設計手順と、の少なくとも2段階にわけて行う。

【選択図】

特願 2 0 0 3 - 3 7 3 5 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所